

KLH

(19)大韓民国特許庁(KR)
(12)公開実用新案公報(U)

(51) Int. Cl.⁶

H01R 13/68

H01R 43/00

(11)公開番号 実 1999-0040261

(43)公開日付 1999 年 11 月 25 日

(21)出願番号 20-1998-0006871

(22)出願日付 1998 年 04 月 29 日

(71)出願人 現代半導体株式会社 キム・ヨンファン

(72)考案者 キム・ヨンチャン、ユ・ソンウォン

審査請求：有り

(54) 半導体装置のヒューズ部

要約

本考案は、半導体装置のヒューズ部に関するものであって、特に、半導体装置の記憶素子の製造において、ファブ(FAB)工程中に発生する不良部位を修理するために、通常メモリアレイの端部にリダンダンシーライン(redundancy line)を設け、特定のヒューズ部をレーザーで切断し、不良の特定のビットラインなどを修理するときの成功率(FTA)を向上させ、レーザービームのヒューズ部に対する的中率を高めるために、ヒューズ部の構造において空間マージンを最大限に利用したジグザグのヒューズ部に関する。

本考案による半導体装置のヒューズ部は、半導体基板と、半導体基板に形成されたメモリアレイを連結する複数の第1コンタクト部と、半導体基板に形成され、メモリアレイと離隔して形成されたリダンダンシー部と電氣的に連結され、第1コンタクト部と相応して形成された複数の第2コンタクト部と、突出部を有し、複数の第1コンタクト部と複数の第2コンタクト部とを電氣的に連結する配線とからなる。

図面の簡単な説明

図1は、従来の考案による半導体装置のヒューズ(fuse)部の製造方法により製造されたヒューズ部の平面図である。

図 2 は、本考案による半導体装置のヒューズ(fuse)部の製造方法により製造されたヒューズ部の平面図である。

(57) 請求の範囲

請求項 1.

半導体基板と、

上記半導体基板に形成されたメモリアレイを連結する複数の第 1 コンタクト部と、

上記半導体基板に形成され、上記メモリアレイと離隔して形成されたリダンダンシ一部と電氣的に連結され、上記第 1 コンタクト部と相応して形成された複数の第 2 コンタクト部と、

突出部を有し、複数の上記第 1 コンタクト部と複数の上記第 2 コンタクト部とを電氣的に連結する配線とからなる半導体装置のヒューズ部。

請求項 2.

第 1 項において、上記突出部は、平面上上記配線と交差する形態を有し、隣接した上記配線の突出部とずれてジグザグ状に位置することを特徴とする半導体装置のヒューズ部。

(19) 대한민국특허청(KR)
(12) 공개실용신안공보(U)

(51) Int. Cl. 6

H01R 13 /68

H01R 43 /00

(11) 공개번호

실 1999-0040261

(43) 공개일자

1999년 11월 25일

(21) 출원번호 20-1998-0006871

(22) 출원일자 1998년 04월 29일

(71) 출원인 현대반도체 주식회사 김영환

(72) 고안자 충청북도 청주시 흥덕구 향정동 1번지

김용찬

충청북도 청주시 흥덕구 비하동 효성아파트 101동 1313호

유성원

(74) 대리인 충청북도 청주시 흥덕구 향정동 1번지

양순석, 한윤근

심사청구 : 있음

(54) 반도체장치 퓨즈부

요약

본 고안은 반도체장치 퓨즈부에 관한 것으로서 특히, 반도체장치의 기억소자 제조에 있어서 펌(FAB)공정중 발생하는 불량 부위를 수리하기 위하여 통상적으로 메모리 어레이의 끝 부분에 리던던시 라인(redundancy line)을 구비시켜 특정한 퓨즈부를 레이저로 절단하여 불량한 특정한 비트라인 등을 수리할 때의 성공률(FTA)을 제고시키기 위하여 레이저 빔의 퓨즈부에 대한 명중률을 높이기 위하여 퓨즈부의 구조를 공간 마진을 최대한 이용한 지그재그 형태의 퓨즈부에 관한 것이다.

본 고안에 따른 반도체장치의 퓨즈부는 반도체기판과, 반도체기판에 형성된 메모리 어레이를 연결하는 복수의 제 1 콘택부와, 반도체 기판에 형성되고 메모리 어레이와 이격되어 형성된 리던던시부와 전기적으로 연결되며 제 1 콘택부와 상응하며 형성된 복수의 제 2 콘택부와, 돌출부를 가지며 복수의 제 1 콘택부와 복수의 제 2 콘택부를 전기적으로 연결하는 배선으로 이루어진다.

대표도

도2

명세서

도면의 간단한 설명

도 1 은 종래의 고안에 따른 반도체장치의 퓨즈(fuse)부 제조방법에 의하여 제조된 퓨즈부 평면도

도 2 는 본 고안에 따른 반도체장치의 퓨즈(fuse)부 제조방법에 의하여 제조된 퓨즈부 평면도

고안의 상세한 설명

고안의 목적

고안이 속하는 기술 및 그 분야의 종래기술

본 고안은 반도체장치에 관한 것으로서 특히, 반도체장치의 기억소자 제조에 있어서 펌(FAB)공정중 발생하는 불량부위를 수리하기 위하여 통상적으로 메모리 어레이의 끝 부분에 리던던시 라인(redundancy line)을 구비시켜 특정한 퓨즈부를 레이저로 절단하여 불량한 특정한 비트라인 등을 수리할 때의 성공률(FTA)을 제고시키기 위하여 레이저 빔의 퓨즈부에 대한 명중률을 높이기 위하여 퓨즈부의 구조를 공간 마진을 최대한 이용한 지그재그 형태의 퓨즈부에 관한 것이다.

이때 반도체장치의 펌공정은 일반적으로 패시베이션층 형성 후 패드부를 개방시키는 단계까지의 공정을 말한다.

종래의 고안에서 반도체장치의 소자 등이 형성된 칩을 완성한 다음 불량품을 검사하고 불량 발생 부위를 수리하는 과정은 다음과 같다.

먼저, 웨이퍼에 소자 등이 형성된 칩을 제조하고 불량 유무를 확인하기 위하여 프로브 테스트(probe test)를 실시한다. 이러한 테스트 결과 불량품임이 판정되면 수리가능 여부를 검토한 다음 수리 가능한 제품은 다음 단계로 진입하고 수리 불능인 제품은 폐기 처리한다.

수리 가능한 제품은 수리 데이터를 생성한 다음 불량부위를 찾아내어 수리 데이터(repair data)가 생성된 특정 퓨즈를 레이저로 정확히 조사하여 절단함으로써 수리한다. 따라서 수리된 불량 칩은 양질의 제품으로 변환된다.

도 1 은 종래의 고안에 따른 반도체장치의 퓨즈(fuse)부 제조방법에 의하여 제조된 퓨즈부 평면도이다.

도 1 에 있어서, 소자, 배선 등이 형성된 반도체 칩의 일부인 메모리 어레이의 끝 부분에 리던던시 라인(redundancy line)을 구비되어 있다.

칩의 래치-업 현상 등을 방지하기 위한 가드링(guard ring)부(2)가 웨이 형성된 가장자리 부위를 둥글게 감싸며 형성되어 있고 각각의 소자들을 전기적으로 연결하기 위한 다수개의 콘택부(1)가 가드링부(2) 밖에 형성되어 있으며, 이러한 콘택부(1)를 연결하는 퓨즈부(3)가 형성되어 있다.

이와 같이 균일한 두께로 형성된 퓨즈부에 레이저 등의 방법으로 프로브 테스트 결과 불필요한 부위와 연결되는 퓨즈부(3)는 절단하여 불량부위를 수리한다. 이때, 수리결과와 성공확률은 레이저 조사시 얼마나 정확하게 퓨즈부에 레이저를 명중시킬 수 있는지의 여부에 달려있다. 따라서 균일한 두께를 갖는 종래의 퓨즈부 형태는 명중확률에 있어서 불리하다.

그러나, 상술한 종래 고안에 따른 반도체장치의 퓨즈부는 불량 칩을 수리하기 위하여 레이저 빔을 소정의 퓨즈부에 쏘아 줄(blowing) 때, 첫째 레이저 빔의 발사에너지의 마진(blowing energy margin)이 작고, 둘째 발사에너지를 크게 하여 레이저 빔을 쏘아주면 기판에 손상을 주며, 셋째 레이저 빔의 발사에너지가 오히려 작을 때에는 언더-커팅되어 수리가 불가

능하므로 전술한 이유 등에 기인하여 수리성공률(FTA & PTP)가 낮아져서 제품의 생산성(yield)이 저하되는 문제점이 있다.

고안이 이루고자하는 기술적 과제

따라서, 본 고안의 목적은 불량제품에 대한 수리의 성공률을 제고시키기 위하여 레이저 빔을 효과적으로 목표 지점에 명중시킬 수 있도록 퓨즈부의 일부분을 각각의 퓨즈 사이의 공간을 활용하여 넓적하게 형성하고 동시에 퓨즈부의 패턴이 조밀하다해도 충분히 공정여유를 갖도록 지그재그 형태로 된 반도체장치의 퓨즈부를 제공하는데 있다.

상기 목적들을 달성하기 위한 본 고안에 따른 반도체장치의 퓨즈부는 반도체기판과, 반도체기판에 형성된 메모리 어레이를 연결하는 복수의 제 1 콘택부와, 반도체 기판에 형성되고 메모리 어레이와 이격되어 형성된 리던던시부와 전기적으로 연결되며 제 1 콘택부와 상응하며 형성된 복수의 제 2 콘택부와, 돌출부를 가지며 복수의 제 1 콘택부와 복수의 제 2 콘택부를 전기적으로 연결하는 배선으로 이루어진다.

고안의 구성 및 작용

반도체장치의 기억소자 제조에 있어서 펄(FAB)공정중 발생하는 불량부위를 수리하기 위하여 통상적으로 메모리 어레이의 끝 부분에 리던던시 라인(redundancy line)을 구비시켜 특정한 퓨즈부를 레이저로 절단하여 불량한 특정한 비트라인 등을 수리할 때의 성공률(FTA)을 제고시키기 위하여 레이저 빔의 퓨즈부에 대한 명중률을 높이기 위하여 퓨즈부의 구조를 공간마진을 최대로 이용한 지그재그 형태의 퓨즈부를 제조한다. 이때 반도체장치의 펄공정은 일반적으로 페시베이션층 형성 후 패드부를 개방시키는 단계까지의 공정을 말한다.

즉, 퓨즈부의 형태를 레이저 빔이 효과적으로 피폭될 수 있도록 그 형상을 갖추므로써 레이저 블로잉 에너지 마진(laser blowing energy margin)을 극대화함으로써 퓨즈부 절단 불량에 의한 수리성공률을 높인다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 2 는 본 발명에 따른 반도체장치의 퓨즈(fuse)부 제조방법에 의하여 제조된 퓨즈부 평면도이다.

도 2 에 있어서, 소자, 배선 등이 형성된 반도체 칩의 일부인 메모리 어레이의 끝 부분에 리던던시 라인(redundancy line)이 구비되어 있다.

칩의 래치-업 현상 등을 방지하기 위한 가드링(guard ring)부(22)가 웰이 형성된 가장자리 부위를 둥글게 감싸며 형성되어 있고 각각의 소자들을 전기적으로 연결하기 위한 다수개의 콘택부(21)가 가드링부(22) 밖에 형성되어 있으며, 이러한 콘택부(21)를 연결하는 퓨즈부(23)가 형성되어 있다. 이때, 콘택부를 연결하는 퓨즈부(23)의 형태는 균일한 두께를 가지며 길게 뻗은 배선의 일부에 배선의 길이방향을 가로지르는 형태의 돌출부가 형성되어 있다.

이러한 돌출부는 먼저 절연막으로 덮여있는 메모리 어레이와 리던던시부에 절연막의 소정부위를 제거하여 각각 콘택홀(21)을 형성한 다음, 콘택홀을 매립하며 절연막을 덮는 도전층(23)을 폴리실리콘이나 금속을 증착하여 형성한 다음 돌출부를 갖는 패턴을 갖도록 도전층의 일부를 포토리소그라피로 제거하여 퓨즈부(23)를 형성하는 단계로 이루어진다. 이때 퓨즈부(23)의 패턴을 형성하기 위한 식각시 돌출부위의 패턴을 갖는 식각마스크를 사용하여 형성한다. 그리고 이러한 돌출부는 이웃한 퓨즈부(23)에도 역시 형성되어 있기 때문에 이들이 위치하는 형태는 지그재그 형태로 즉, 서로 엇갈린 형태로 위치한다. 따라서, 이러한 돌출부가 위치하는 공간은 종래의 퓨즈 사이의 최소공간 범위내에 위치하기 때문에 별도의 공간을 차지하지 않으며 공간 활용을 최대로 한다.

이와 같이 돌출부를 갖는 형태로 형성된 퓨즈부에 레이저 등의 방법으로 프로브 테스트 결과 불필요한 부위와 연결되는

퓨즈부(23)는 절단하여 불량부위를 수리한다. 이때, 수리결과의 성공확률은 레이저 조사시 얼마나 정확하게 퓨즈부에 레이저를 명중시킬 수 있는지의 여부에 달려있다. 따라서 돌출부를 갖는 본 발명에 따른 퓨즈부 형태는 명중확률에 있어서 유리하다.

고안의 효과

따라서, 본 고안은 퓨즈부에 대한 레이저 커팅시 레이저 빔의 블로잉 에너지 마진이 크고 수리 성공률이 증가하며 따라서 제품의 수득률(yield)이 향상되어 생산성을 극대화하여 생산단가를 줄일 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1. 반도체기판과,

상기 반도체기판에 형성된 메모리 어레이를 연결하는 복수의 제 1 콘택부와,

상기 반도체 기판에 형성되고 상기 메모리 어레이와 이격되어 형성된 리던던시부와 전기적으로 연결되며 상기 제 1 콘택부와 상응하며 형성된 복수의 제 2 콘택부와,

돌출부를 가지며 복수의 상기 제 1 콘택부와 복수의 상기 제 2 콘택부를 전기적으로 연결하는 배선으로 이루어진 반도체 장치의 퓨즈부.

청구항 2. 청구항 1에 있어서, 상기 돌출부는 평면상 상기 배선과 교차하는 형태를 가지며 이웃한 상기 배선의 돌출부와 어긋나며 지그재그 형태로 위치하는 것이 특징인 반도체장치의 퓨즈부.

청구항 3. 청구항 1에 있어서, 상기 퓨즈부는,

절연막으로 덮여있는 상기 메모리 어레이와 상기 리던던시부에 절연막의 소정부위를 제거하여 복수개의 콘택홀을 형성하는 단계와,

상기 콘택홀을 매립하며 상기 절연막을 덮는 도전층을 폴리실리콘이나 금속을 증착하여 형성하는 단계와,

상기 돌출부를 갖는 패턴을 갖도록 상기 도전층의 일부를 제거하는 단계로 형성하는 것이 특징인 반도체장치의 퓨즈부.

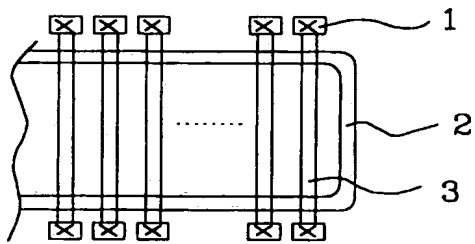
청구항 4. 청구항 1에 있어서, 상기 제 1 콘택부와 상기 제 2 콘택부는 가드링을 사이에 두고 위치하는 것이 특징인 반도체장치의 퓨즈부.

청구항 5. 청구항 1에 있어서, 상기 도전층은 폴리실리콘이나 금속으로 이루어진 것이 특징인 반도체장치의 퓨즈부.

청구항 6. 청구항 1에 있어서, 상기 돌출부는 복수개로 형성하는 것이 특징인 반도체장치의 퓨즈부.

도면

도면1



도면2

